

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06120439 A**(43) Date of publication of application: **28.04.94**

(51) Int. Cl.

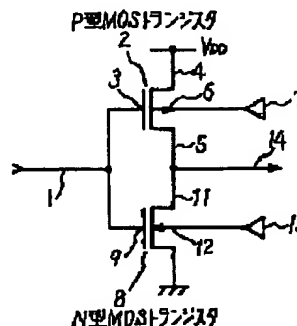
**H01L 27/092**(21) Application number: **04266967**(71) Applicant: **NEC CORP**(22) Date of filing: **06.10.92**(72) Inventor: **TAKAGI NORIAKI**(54) **SEMICONDUCTOR DEVICE**

## (57) Abstract:

**PURPOSE:** To provide a low power consumption CMOS semiconductor device independently threshold values of a P-type MOS transistor and an N-type MOS transistor from the outside.

**CONSTITUTION:** A voltage higher than a power source VDD on the high level side is supplied to an N well 6 of a P-type MOS transistor 2 having a CMOS structure and a voltage lower than a grounding potential GND is supplied to a P well 12 of an N-type MOS transistor 8 from external terminals 7, 13 of a semiconductor device, respectively, whereby the range of the threshold values are narrowly set in which the P-type MOS transistor 2 and the N-type MOS transistor 8 conduct at the same time to reduce the power consumption.

COPYRIGHT: (C)1994,JPO&amp;Japio



**THIS PAGE BLANK (USPTO)**



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 06120439

(43)Date of publication of application: 28.04.1994

(51)Int.Cl.

H01L 27/092

(21)Application number: 04266967

(71)Applicant:

NEC CORP

(22)Date of filing: 06.10.1992

(72)Inventor:

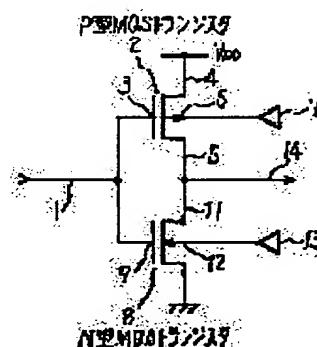
TAKAGI NORIAKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

**PURPOSE:** To provide a low power consumption CMOS semiconductor device independently threshold values of a P-type MOS transistor and an N-type MOS transistor from the outside.

**CONSTITUTION:** A voltage higher than a power source VDD on the high level side is supplied to an N well 6 of a P-type MOS transistor 2 having a CMOS structure and a voltage lower than a grounding potential GND is supplied to a P well 12 of an N-type MOS transistor 8 from external terminals 7, 13 of a semiconductor device, respectively, whereby the range of the threshold values are narrowly set in which the P-type MOS transistor 2 and the N-type MOS transistor 8 conduct at the same time to reduce the power consumption.



**THIS PAGE BLANK (USPTO)**

Concise explanation of the relevance with respect to  
Japanese Laid-Open Patent Application No. 120439/1994

A. Relevance to the Above-identified Document

The following is an English translation of passages related to the present invention.

B. Translation of the Relevant Passages of the Document

[CLAIM 1]

A semiconductor device of a complementary structure characterized in that:

a P-well potential directly below a gate of an N-channel-type insulating gate field effect transistor is directly supplied from an outside of the semiconductor device without connecting a grounding potential of the semiconductor device; and

an N-well potential directly below a gate of a P-channel-type insulating gate field effect transistor is directly supplied from an outside of the semiconductor device without connecting a high potential source of the semiconductor device.

[MEANS TO SOLVE THE PROBLEM]

The present invention is characterized in that, in

a semiconductor device of the complementary structure,

a P-well potential directly below a gate of an N-channel-type insulating gate field effect transistor is directly supplied from an outside of the semiconductor device without connecting a grounding potential of the semiconductor device; and

an N-well potential directly below a gate of a P-channel-type insulating gate field effect transistor is directly supplied from an outside of the semiconductor device without connecting a high potential source of the semiconductor device.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-120439

(43)公開日 平成 6年(1994) 4月28日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 27/092

識別記号

庁内整理番号

F I

技術表示箇所

9054-4M

H 0 1 L 27/ 08

3 2 1 D

審査請求 未請求 請求項の数 1 (全 4 頁)

(21)出願番号 特願平4-266967

(22)出願日 平成 4 年(1992)10月 6 日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72)発明者 高木 範明

東京都港区芝五丁目 7 番 1 号日本電気株式

会社内

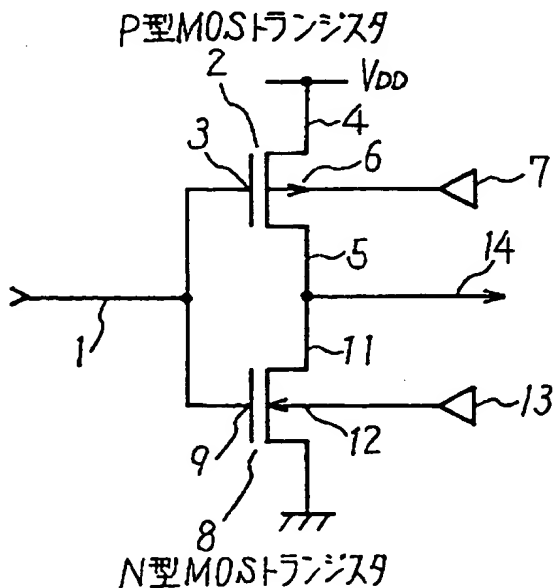
(74)代理人 弁理士 京本 直樹 (外 2 名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 CMOS構造の半導体装置でP型MOSトランジスタとN型MOSトランジスタの閾値を外部から独立に設定することにより低消費電力化を図る。

【構成】 CMOS構造のP型MOSトランジスタ2のNウェル6へ高位側電源VDDより高い電圧を、N型MOSトランジスタ8のPウェル12へ接地電位GNDより低い電圧を半導体装置の外部端子7, 13からそれぞれ供給することにより、P型MOSトランジスタ2およびN型MOSトランジスタ8が同時に導通する閾値の範囲を狭く設定することにより消費電力の低減を図る。



## 【特許請求の範囲】

【請求項1】 相補型構造を有する半導体装置において、Nチャネル型絶縁ゲート電界効果トランジスタのゲート直下のPウェル電位を、前記半導体装置の接地電位に接続することなく前記Pウェル電位を前記半導体装置の外部から直接供給することができ、Pチャネル型絶縁ゲート電界効果トランジスタのゲート直下のNウェル電位を前記半導体装置の高位側電源電位に接続することなく前記Nウェル電位を前記半導体装置の外部から直接供給できることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置に関し、特に低消費電力を必要とする半導体装置のトランジスタ構成に関する。

## 【0002】

【従来の技術】従来、低消費電力の半導体装置として相補型（以下、CMOSと称す）構造のものが用いられている。図3はこのCMOS構造の半導体装置のインバータを回路図で示したものである。

【0003】図3によれば、入力信号線1、ゲート3、9、Pチャネル型絶縁ゲート電界効果トランジスタ（以下、P型MOSトランジスタと称す）2、Nチャネル型絶縁ゲート電界効果トランジスタ（以下、N型MOSトランジスタと称す）8、出力信号線14を有している。

【0004】N型MOSトランジスタ8において、ソース10は通常は接地電位（以下、GNDと称す）に接地され、ドレイン11は出力信号線14に接続され、Pウェル12は通常はGNDに接続されている。

【0005】一方P型MOSトランジスタ2において、ソース4は通常は、半導体装置の高位側電源電位（以下VDDと称す）に接続され、またドレイン5は前述したN型MOSトランジスタ8のドレイン11と共通に接続され、P型MOSトランジスタ2のNウェル6は通常はVDDに接続される。

【0006】この場合、例えば入力信号線1にGNDの電位が供給されるとP型MOSトランジスタ2が導通し、出力信号線14には、VDD電位が出力される。また入力信号線1にVDD電位が供給されると、N型MOSトランジスタ8が導通し、出力信号線14にはGND電位が出力される。

【0007】このように図3に示された回路は、入力信号線1の信号を丁度反転させた形で出力信号線14へ伝達していることからインバータと呼ばれ、またP型MOSトランジスタ2とN型MOSトランジスタ8を、コンプリメンタリな形で接続していることから、Complementary MOS、すなわちCMOS構造と呼ばれている。

【0008】また、CMOS構造のインバータは、静止状態において、一方のMOSトランジスタしか導通して

いないため、低消費電力用の半導体装置として広く用いられている。

## 【0009】

【発明が解決しようとする課題】図3で示す従来のCMOS構造のインバータでは、入力信号線1に（VDD-GND）／2の電位を供給するとN型MOSトランジスタ8と、P型MOSトランジスタ2の両方が導通状態となりソース4からソース10に向って電流が流れてしまうという欠点がある。

【0010】通常、図3に示すような回路構成の場合、N型MOSトランジスタとP型MOSトランジスタの閾値が共に0.7Vのときに入力信号線1に約0.7Vの電位を供給すると、P型MOSトランジスタ2は導通状態、N型MOSトランジスタ8は導通し始め、一方入力信号線1に約VDD-0.7Vの電位が供給されると、N型MOSトランジスタ8が導通状態、P型MOSトランジスタ2が導通し始める。したがって、入力信号線1に0.7V以上でVDD-0.7V以下の電位が供給されると、ソース4からソース10に向って貫通電流が流れることになり消費電力が増大するという欠点がある。

【0011】特に入力信号線1には完全な方形波が入力されることはなく、必ずある時間的傾斜をもった信号が入力されるため、入力レベルが0.7VからVDD-0.7V、又はVDD-0.7Vから0.7Vに達するまでの時間が長くなり、その分だけ貫通電流が増加することになり、上記欠点は避けることのできない問題となっている。

【0012】また、上記0.7VあるいはVDD-0.7Vの閾値電圧は、半導体装置の基板物質や不純物の物理定数では決まる値であり、回路構成を変えずにこの閾値を自由に変えることは非常に困難である。

【0013】本発明の目的は、上述の欠点を除去することにより、CMOS構造の半導体装置でP型MOSトランジスタと、N型MOSトランジスタの閾値を半導体装置の外部から独立に設定することにより両方のトランジスタが同時に導通する電圧範囲を狭め、低消費電力化を図ることにある。

## 【0014】

【課題を解決するための手段】本発明の特徴は、相補型構造を有する半導体装置において、N型MOSトランジスタのゲート電極直下のPウェル電位を、前記半導体装置の接地電位に接続することなく前記Pウェル電位を前記半導体装置の外部から直接供給することができ、P型MOSトランジスタのゲート電極直下のNウェル電位を前記半導体装置の高位側電源電位に接続することなく前記Nウェル電位を前記半導体装置の外部から直接供給できることにある。

## 【0015】

【実施例】次に本発明について、図面を参照して説明する。図1は本発明をCMOS構造のインバータ回路に適



用したものを示しており、図中の番号および機能・構成は図3と同様である。図3と異なる点は、N型MOSトランジスタ8のPウェル12をGNDに接続せず、外部端子13に引き出している点とP型MOSトランジスタ2のNウェル6をVDDに接続せず、外部端子7に引き出している点である。

【0016】今、Pウェル12にGNDよりさらに低い電位を供給するとそれに合せて、N型MOSトランジスタ8の閾値は上昇する。一方Nウェル6にVDDよりさらに高い電位を供給すると、P型MOSトランジスタ2の閾値は下降する。

【0017】このため、N型MOSトランジスタ8およびP型MOSトランジスタ2の両方が導通する電圧範囲が狭くなり、入力信号線1に、ある時間的傾きをもった信号が入力されても、消費電力の大幅な低下が可能となる。

【0018】上記閾値の変化は、バックゲート特性と呼ばれゲート長が $0.8\mu\text{m}$ のプロセスでVDDが5Vの場合、Pウェル8に-3Vを供給すると、N型MOSトランジスタ8の閾値は、0.7Vから1.5Vまで上昇し、一方Nウェル6に8Vを供給すると、P型MOSトランジスタ2の閾値は、4.3Vから3.5Vまで下降する。

【0019】このため、従来なら入力信号線1になだらかな傾斜をもつ立ち上りの信号が入った場合、その電圧が0.7Vから4.3Vに立ち上るまでの間は、N型MOSトランジスタ8、P型MOSトランジスタ2の両方が導通していたが、本発明では1.5Vから3.5Vまでの間だけ、両方のトランジスタが導通することになり明らかに消費電力が低下する。

【0020】また、最近ではゲート長の微細化における耐圧の低下が問題にされているが、これはソース・ドレイン間の電界強度増加による耐圧の問題であるため、上記8Vの電圧を加えても、耐圧上何ら問題がないことは明らかである。

【0021】本発明で問題となる耐圧は、ゲート9とPウェル12、あるいはゲート3と、Nウェル6との耐圧

であるが、これはゲート長 $0.5\mu\text{m}$ のプロセスでも、10V以上の耐圧を有しているため、まったく問題はない。

【0022】次に、本発明の第2の実施例を図2に示す回路図を用いて説明する。

【0023】第1の実施例と異なる点は、2入力NAND回路に適用したことであり、P型MOSトランジスタ2、16を並列に接続し、Nウェル6、17を共通に外部端子7に接続する。又N型MOSトランジスタ8、18を直列に接続し、Pウェル12、19を共通に外部端子13に接続したことであり、図中共通する部分の番号は図1および図3と同じであり、またそのトランジスタの基本動作については前記同様であるため省略する。

【0024】

【発明の効果】以上説明したように本発明は、CMOS構造の半導体装置においてN型MOSトランジスタのPウェルおよびP型MOSトランジスタのNウェルへの電位供給ラインを独立に設け、それぞれの閾値を変化させることにより両方のトランジスタが同時に導通してしまう閾値電圧の範囲を従来より狭く設定することが可能となり、半導体装置の消費電力を大幅に低下させることができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の回路図である。

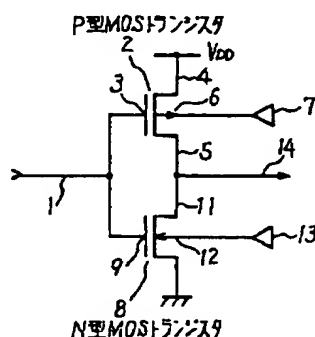
【図2】本発明の第2の実施例の回路図である。

【図3】従来のCMOS構造のインバータの回路図である。

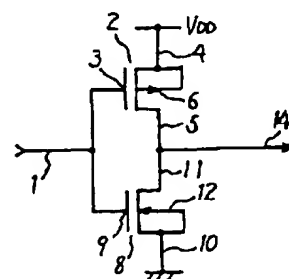
【符号の説明】

- 1 入力信号線
- 2, 16 P型MOSトランジスタ
- 3, 9 ゲート
- 4, 10 ソース
- 5, 11 ドレイン
- 6, 17 Nウェル
- 7, 13 外部端子
- 12, 19 Pウェル
- 14 出力信号線

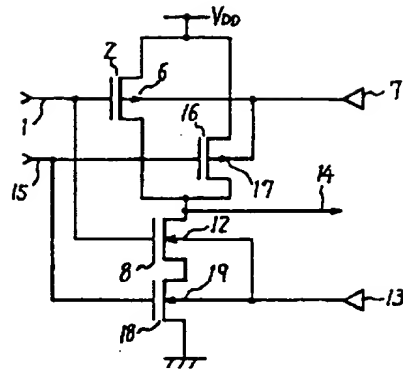
【図1】



【図3】



【図 2】



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-120439

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 27/092

識別記号

庁内整理番号

FI

技術表示箇所

9054-4M

H 0 1 L 27/ 08

3 2 1 D

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号

特願平4-266967

(22)出願日

平成4年(1992)10月6日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 高木 範明

東京都港区芝五丁目7番1号日本電気株式  
会社内

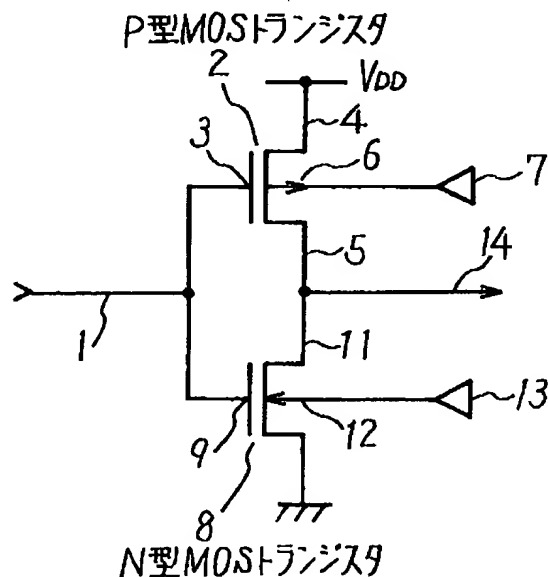
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 CMOS構造の半導体装置でP型MOSトランジスタとN型MOSトランジスタの閾値を外部から独立に設定することにより低消費電力化を図る。

【構成】 CMOS構造のP型MOSトランジスタ2のNウェル6へ高位側電源VDDより高い電圧を、N型MOSトランジスタ8のPウェル12へ接地電位GNDよりも低い電圧を半導体装置の外部端子7, 13からそれぞれ供給することにより、P型MOSトランジスタ2およびN型MOSトランジスタ8が同時に導通する閾値の範囲を狭く設定することにより消費電力の低減を図る。



THIS PAGE BLANK (USPTO)

## 【特許請求の範囲】

【請求項1】 相補型構造を有する半導体装置において、Nチャネル型絶縁ゲート電界効果トランジスタのゲート直下のPウェル電位を、前記半導体装置の接地電位に接続することなく前記Pウェル電位を前記半導体装置の外部から直接供給することができ、Pチャネル型絶縁ゲート電界効果トランジスタのゲート直下のNウェル電位を前記半導体装置の高位側電源電位に接続することなく前記Nウェル電位を前記半導体装置の外部から直接供給できることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置に関し、特に低消費電力を必要とする半導体装置のトランジスタ構成に関する。

## 【0002】

【従来の技術】従来、低消費電力の半導体装置として相補型（以下、CMOSと称す）構造のものが用いられている。図3はこのCMOS構造の半導体装置のインバータを回路図で示したものである。

【0003】図3によれば、入力信号線1、ゲート3、9、Pチャネル型絶縁ゲート電界効果トランジスタ（以下、P型MOSトランジスタと称す）2、Nチャネル型絶縁ゲート電界効果トランジスタ（以下、N型MOSトランジスタと称す）8、出力信号線14を有している。

【0004】N型MOSトランジスタ8において、ソース10は通常は接地電位（以下、GNDと称す）に接地され、ドレイン11は出力信号線14に接続され、Pウェル12は通常はGNDに接続されている。

【0005】一方P型MOSトランジスタ2において、ソース4は通常は、半導体装置の高位側電源電位（以下VDDと称す）に接続され、またドレイン5は前述したN型MOSトランジスタ8のドレイン11と共通に接続され、P型MOSトランジスタ2のNウェル6は通常はVDDに接続される。

【0006】この場合、例えば入力信号線1にGNDの電位が供給されるとP型MOSトランジスタ2が導通し、出力信号線14には、VDD電位が出力される。また入力信号線1にVDD電位が供給されると、N型MOSトランジスタ8が導通し、出力信号線14にはGND電位が出力される。

【0007】このように図3に示された回路は、入力信号線1の信号を丁度反転させた形で出力信号線14へ伝達していることからインバータと呼ばれ、またP型MOSトランジスタ2とN型MOSトランジスタ8を、コンプリメンタリな形で接続していることから、Complementary MOS、すなわちCMOS構造と呼ばれている。

【0008】また、CMOS構造のインバータは、静止状態において、一方のMOSトランジスタしか導通して

いないため、低消費電力用の半導体装置として広く用いられている。

## 【0009】

【発明が解決しようとする課題】図3で示す従来のCMOS構造のインバータでは、入力信号線1に（VDD-GND）/2の電位を供給するとN型MOSトランジスタ8と、P型MOSトランジスタ2の両方が導通状態となりソース4からソース10に向って電流が流れてしまうという欠点がある。

10 【0010】通常、図3に示すような回路構成の場合、N型MOSトランジスタとP型MOSトランジスタの閾値が共に0.7Vのときに入力信号線1に約0.7Vの電位を供給すると、P型MOSトランジスタ2は導通状態、N型MOSトランジスタ8は導通し始め、一方入力信号線1に約VDD-0.7Vの電位が供給されると、N型MOSトランジスタ8が導通状態、P型MOSトランジスタ2が導通し始める。したがって、入力信号線1に0.7V以上でVDD-0.7V以下の電位が供給されると、ソース4からソース10に向って貫通電流が流れることになり消費電力が増大するという欠点がある。

20 【0011】特に入力信号線1には完全な方形波が入力されることはなく、必ずある時間的傾斜をもった信号が入力されるため、入力レベルが0.7VからVDD-0.7V、又はVDD-0.7Vから0.7Vに達するまでの時間が長くなり、その分だけ貫通電流が増加することになり、上記欠点は避けることのできない問題となっている。

【0012】また、上記0.7VあるいはVDD-0.7Vの閾値電圧は、半導体装置の基板物質や不純物の物理定数でほぼ決まる値であり、回路構成を変えずにこの閾値を自由に変えることは非常に困難である。

【0013】本発明の目的は、上述の欠点を除去することにより、CMOS構造の半導体装置でP型MOSトランジスタと、N型MOSトランジスタの閾値を半導体装置の外部から独立に設定することにより両方のトランジスタが同時に導通する電圧範囲を狭め、低消費電力化を図ることにある。

## 【0014】

【課題を解決するための手段】本発明の特徴は、相補型構造を有する半導体装置において、N型MOSトランジスタのゲート電極直下のPウェル電位を、前記半導体装置の接地電位に接続することなく前記Pウェル電位を前記半導体装置の外部から直接供給することができ、P型MOSトランジスタのゲート電極直下のNウェル電位を前記半導体装置の高位側電源電位に接続することなく前記Nウェル電位を前記半導体装置の外部から直接供給できることにある。

## 【0015】

【実施例】次に本発明について、図面を参照して説明する。図1は本発明をCMOS構造のインバータ回路に適

**THIS PAGE BLANK (USPTO)**

3

用したものを示しており、図中の番号および機能・構成は図3と同様である。図3と異なる点は、N型MOSトランジスタ8のPウェル12をGNDに接続せず、外部端子13に引き出している点とP型MOSトランジスタ2のNウェル6をVDDに接続せず、外部端子7に引き出している点である。

【0016】今、Pウェル12にGNDよりさらに低い電位を供給するとそれに合せて、N型MOSトランジスタ8の閾値は上昇する。一方Nウェル6にVDDよりさらに高い電位を供給すると、P型MOSトランジスタ2の閾値は下降する。

【0017】このため、N型MOSトランジスタ8およびP型MOSトランジスタ2の両方が導通する電圧範囲が狭くなり、入力信号線1に、ある時間的傾きをもった信号が入力されても、消費電力の大幅な低下が可能となる。

【0018】上記閾値の変化は、バックゲート特性と呼ばれゲート長が $0.8\mu\text{m}$ のプロセスでVDDが5Vの場合、Pウェル8に $-3\text{V}$ を供給すると、N型MOSトランジスタ8の閾値は、 $0.7\text{V}$ から $1.5\text{V}$ まで上昇し、一方Nウェル6に $8\text{V}$ を供給すると、P型MOSトランジスタ2の閾値は、 $4.3\text{V}$ から $3.5\text{V}$ まで下降する。

【0019】このため、従来なら入力信号線1になだらかな傾斜をもつ立ち上りの信号が入った場合、その電圧が $0.7\text{V}$ から $4.3\text{V}$ に立ち上るまでの間は、N型MOSトランジスタ8、P型MOSトランジスタ2の両方が導通していたが、本発明では $1.5\text{V}$ から $3.5\text{V}$ までの間だけ、両方のトランジスタが導通することになり明らかに消費電力が低下する。

【0020】また、最近ではゲート長の微細化における耐圧の低下が問題にされているが、これはソース・ドレイン間の電界強度増加による耐圧の問題であるため、上記 $8\text{V}$ の電圧を加えても、耐圧上何ら問題がないことは明らかである。

【0021】本発明で問題となる耐圧は、ゲート9とPウェル12、あるいはゲート3と、Nウェル6との耐圧 \*

4

\*であるが、これはゲート長 $0.5\mu\text{m}$ のプロセスでも、 $10\text{V}$ 以上の耐圧を有しているため、まったく問題はない。

【0022】次に、本発明の第2の実施例を図2に示す回路図を用いて説明する。

【0023】第1の実施例と異なる点は、2入力NAND回路に適用したことであり、P型MOSトランジスタ2、16を並列に接続し、Nウェル6、17を共通に外部端子7に接続する。又N型MOSトランジスタ8、18を直列に接続し、Pウェル12、19を共通に外部端子13に接続したことである。図中共通する部分の番号は図1および図3と同じであり、またそのトランジスタの基本動作については前記同様であるため省略する。

【0024】

【発明の効果】以上説明したように本発明は、CMOS構造の半導体装置においてN型MOSトランジスタのPウェルおよびP型MOSトランジスタのNウェルへの電位供給ラインを独立に設け、それぞれの閾値を変化させることにより両方のトランジスタが同時に導通してしまう閾値電圧の範囲を従来より狭く設定することが可能となり、半導体装置の消費電力を大幅に低下させることができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の回路図である。

【図2】本発明の第2の実施例の回路図である。

【図3】従来のCMOS構造のインバータの回路図である。

【符号の説明】

1 入力信号線

2, 16 P型MOSトランジスタ

3, 9 ゲート

4, 10 ソース

5, 11 ドレイン

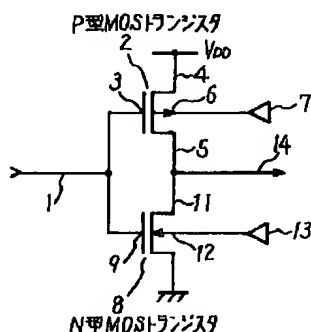
6, 17 Nウェル

7, 13 外部端子

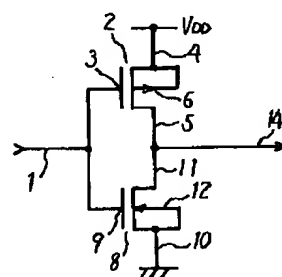
12, 19 Pウェル

14 出力信号線

【図1】



【図3】



THIS PAGE BLANK (USPTO)





**THIS PAGE BLANK (USPTO)**